

(19)

(11)Publication number: 100212833 B1  
(43)Date of publication of application: 12.05.1999

(71)Applicant: DAEWOO ELECTRONICS CO., LTD.  
(72)Inventor: CHOI, YEONG BAE

(57) Abstract:

The block diagram illustrates the proposed system architecture. It features several interconnected components:

- Input Section:** Includes "GPS DATA" and "JIS MAPS".
- Data Processing:** A central dashed box labeled "DATA PROCESSING UNIT" contains a "MAP MATCHING" block and a "COORDINATE CONVERSION" block.
- Navigation Logic:** An "ETA CALCULATION" block receives inputs from the coordinate conversion unit and a "ROUTE SEARCH" block.
- User Interface & Control:** A "DISPLAY UNIT" shows "CURRENT POSITION" and "NEXT STOP". It is connected to a "CONTROL UNIT" which manages "START", "STOP", "PAUSE", and "RESUME" functions. The control unit also interfaces with a "GPS RECEIVER" and a "GPS TRANSMITTER".
- Output & Storage:** The system outputs "ETA" and "ROUTE" information. It also includes a "MEMORY UNIT" for storing "MAP DATA" and "ROUTE DATA".
- External Connections:** The system is linked to a "TELEPHONE NETWORK" via a "MODEM" and a "TELEPHONE LINE".

CONSTITUTION: A variable rate Viterbi decoder consists of a control signal generator(200), a memory control unit(210), a depuncturing unit(230) and a Viterbi decoding unit(240). The control signal generator generates control signals according to code rate and sampling clocks. The memory control unit receives alarm signals for effective data and outputs write/read signals according to the input clock, sampling clocks and control signals. A memory(220) saves or outputs data according to the write/read signals respectively. The depuncturing unit depunctures the puncturing coded data according to the control signals. The Viterbi decoding unit performs Viterbi decoding of the depunctured data according to the sampling clocks and control signals.

COPYRIGHT 2001 KIPO

## Legal Status

Date of final disposal of an application (19990226)

Patent registration number (1002128330000)

Date of registration (19990512)

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. 6  
H03M 13/12

(45) 공고일자 1999년08월02일  
(11) 공고번호 10-0212833  
(24) 등록일자 1999년05월12일

(21) 출원번호	10-1996-0007974	(65) 공개번호	특1997-0068195
(22) 출원일자	1996년03월22일	(43) 공개일자	1997년10월13일
(73) 특허권자	대우전자주식회사 전주범 서울시 중구 남대문로5가 541		
(72) 발명자	최영배 서울특별시 마포구 대흥동 18-36		
(74) 대리인	진천웅		

심사관 : 김종화

(54) 가변레이트 비터비 복호기

요약

본 발명은 코드레이트에 따라 역천자 및 비터비 복호화를 수행하는 가변 레이트 비터비 복호기에 관한 것으로서, 제어신호 발생부(200)와; 메모리 제어부(210); 역천자부(230); 및 비터비 디코딩부(240)로 구성되어 있으며, 상기 제어신호발생부(200)는 코드레이트와 샘플링클럭에 따라 제어신호를 발생하고, 상기 메모리 제어부(210)는 유효한 데이터임을 알리는 신호를 입력 받으며, 입력 클럭과 샘플링클럭 및 상기 제어신호에 따라 쓰기신호 및 읽기 신호를 출력하며, 상기 메모리(220)는 상기 쓰기신호에 따라 데이터를 저장하고 상기 읽기신호에 따라 데이터를 읽어 출력하고, 상기 역천자부(230)는 샘플링클럭과 상기 제어신호에 따라 천자 부호화된 데이터를 입력받아 역천자를 수행하며, 상기 비터비 디코딩부(240)는 샘플링클럭과 상기 제어신호에 따라 상기 역천자된 데이터를 입력받아 비터비 복호화를 수행한다. 상기 본 발명에 따르면 샘플링 코드레이트를 가지고 제어신호를 발생시키는 기능블록을 구비하여 역천자 및 비터비 복호화를 효율적으로 수행함으로써 하드웨어의 면적을 감소시키고, 아날로그의 영향을 제거시킬 뿐만 아니라 구현 비용도 절감시킬 수 있다.

명세서

도면의 간단한 설명

제1도는 3/4 레이트 천자코딩 기법을 채용한 시스템의 구성 블록도와 3/4 레이트 천자코딩 과정을 설명하기 위한 도면.

제2도는 종래의 가변 레이트 비터비 복호기를 도시한 구성 블록도.

제3도는 본 발명에 따른 가변 레이트 비터비 복호기의 구성 블록도.

제4도의 (a)는 샘플링 클럭의 파형도.

(b)는 각 코드 레이트에 따른 클럭 카운트 신호의 파형도.

(c)는 각 코드 레이트에 따른 인에이블 신호의 파형도이다.

\* 도면의 주요부분에 대한 부호의 설명

- 200 : 제어신호 발생부 202 : 임계값 설정부
- 204 : 카운터 206 : 인에이블 신호 생성부
- 210 : 메모리 제어부 220 : 메모리
- 230 : 역천자부 240 : 비터비 디코딩부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 가변레이트 비터비 디코더에 관한 것으로서, 특히 송신측에서 길쌈부호화(Convolution encoding)가 수행된 후, 다시 각 코드레이트(code rate)에 의한 천자 패턴(puncturing pattern)에 따라 천자코딩이 수행되어 전송된 경우, 수신측에서 그 전송된 데이터를 각 코드레이트에 맞게 역천자(depuncturing)한 후, 비터비 복호화(Viterbi decoding)를 수행하도록 되어진 가변 레이트 비터비 디코더에 관한 것이다.

일반적으로 디지털 데이터가 통신시스템에서 채널을 통해 전송되거나 컴퓨터 시스템에서 저장매체에 기록되는 경우, 채널 또는 저장매체가 다양한 종류의 잡음, 왜곡 및 간섭에 의해 영향을 받기 때문에 채널 또는 저장매체의 출력 데이터가 입력 데이터와 달라질 수 있다. 따라서, 통신과 저장 시스템에서 처리된 많은 양의 데이터에 대해 에러를 제어할 필요성이 제기된다. 이러한 요구를 충족하기 위한 것으로 에러 제어 코딩(ECC: Error Control Coding) 기술이 있는데, 에러 제어 코딩 기술에 관련된 저서로는 이만영의 Error-Correcting Coding Theory (McGraw-Hill Publishing Company)과 SHU LIN 및 DANIEL J. COSTELLO, JR.의 Error Control Coding Fundamentals and Application (Prentice-Hall, Inc) 등이 있으며, 또한 에러 제어 코딩에 관련된 미국 특허로는 5,003,540호, 5,115,436호, 5,144,304호, 5,396,239호 등이 있다. 이러한 에러 제어 코딩은 데이터를 전송하거나 저장하는 동안 발생하는 에러로부터 디지털 정보를 보호하기 위한 것이다.

에러를 정정하기 위한 채널 코딩방식은 크게 블록(Block) 코딩방식과 난-블록(Non\_block) 코딩방식으로 나뉘어지는데, 블록 코딩으로는 잘 알려진 BCH(Bose-Chaudhuri-Hocquenghen)코딩이 있으며, 또한 그 범주에는 리드-솔로몬(Read-Solomon) 코딩이 포함되고, 한편 난-블록 코딩으로는 길쌈(Convolution)코딩이 있다.

상기 블록 코딩방식은 연속되는 데이터 스트림을 일정한 길이를 가진 데이터 블록인 코드워드나 프레임으로 구성하여 송신하고 이것을 수신기에서 복호화하는 것으로 k비트의 입력 데이터로 n 비트의 코드워드나 프레임으로 부호화했을 때, 이 코딩방식의 코드 레이트를 k/n 으로 나타낸다.

한편, 상기 난-블록 코딩방식인 길쌈 코딩은 입력되는 연속 데이터 스트림을 보다 빠른 비트 레이트의 데이터 스트림으로 부호화하여 출력시키는 것으로서, 상기 블록 코딩방식처럼 코드 레이트가 k/n 으로 표시되지만, 부호화된 코드워드나 프레임이 일정한 길이를 가진 데이터 블록으로 구성되지 않는다. 그리고, 길쌈 디코딩(Convolution decoding)은 길쌈 코딩방식에 의해 부호화된 코드워드 시퀀스를 복호화하여 부호화되기 전의 비트 시퀀스, 즉 메시지 비트 시퀀스를 재생시키는 것으로서, 길쌈 디코딩 데이터를 디코딩하는 방식에 있어서, 1967년 비터비(Viterbi)가 발표한 소위 비터비 알고리즘에 입각한 최대 근사값 복호화 알고리즘(maximum likelihood decoding algorithm)이 이론적으로 가장 능률적인 방식이다.

비터비 복호화 알고리즘은 어느 시점에서 서로 다른 경로를 가진 2개의 경로가 서로 만나면 이 2개의 경로에 대한 경로길이(hamming distance)를 비교해서 경로길이 짧은, 즉 에러 발생 확률이 낮은 하나의 경로만 선택하고 이중 경로길이 긴 것은 경로 메모리(pach memory)에서 지워버리는 것이다. 이때 남은 경로를 유지 경로(surviving path)라고 하며, 이러한 유지경로의 경정은 매 시점에서 수행되는데 이때마다 경로길이 긴 경로는 삭제시킴으로써 복호화의 복잡성을 피하고 기억용량의 증가를 방지할 수 있다.

한편, 디지털 위성 방송에서는 보다 높은 전송율을 얻기 위하여 채널 데이터를 천자(puncturing)하는 기법을 사용하고 있다. 이는 기존의 전송율보다 20% 이상 더 높은 전송율을 얻을 수 있기 때문에 최근 들어서 각종 디지털 전송 시스템에서 많이 채용하고 있다.

천자 코딩(puncturing coding)에 대해서 잠시 살펴보면, 천자 코딩은 전송에 앞서 1/2 레이트로 부호화된 데이터 스트림으로부터 소정의 코드워드를 삭제시키는 것으로서, 이러한 천자 코딩은 포워드 에러 정정(FEC: Forward Error Correction) 시스템의 코드 레이트를 증가시킨다. 여기서, 코드 레이트(code rate)는 정보 비트 레이트(information bit rate)와 전송된 코드워드들의 레이트(transmitted codeword rate)의 비율을 나타낸다. 수신측에서 삭제된 코드워드는 1/2 레이트 디코더로 입력되기 전에 널(null) 심볼 또는 이레이즈드(erasd) 심볼들로 대체된다.

제1도는 3/4 레이트 천자코딩 기법을 채용한 시스템의 구성 블록도와 3/4 레이트 천자코딩 과정을 설명하기 위한 도면으로서, 그 시스템은 1/2 레이트 길쌈 엔코더(10), 3/4 레이트 천자블록(20), 널 심볼 삽입블록(30) 및 1/2 레이트 비터비 디코더(40)로 구성되어 있다. 여기서는 QPSK(Quadrature Phase Shift Keying) 변조를 사용하는 전송 채널에서의 동작을 가정한다. 각 전송 심볼은 QPSK 시스템내의 코드워드를 두 개씩 전송한다.

제1도에 도시된 바와 같이, 각 정보 비트(A)가 1/2 레이트 길쌈 엔코더(10)로 입력되면, 하나의 심볼을 발생시키며, 이때 각 심볼은 두 개의 코드워드(C0(n), C1(n))를 포함한다. 상기 1/2 레이트 길쌈 엔코더(10)로부터 출력된 부호화된 데이터(B)는 3/4 레이트 천자블록(20)으로 입력되어 천자패턴에 따라 소정의 코드워드가 삭제된다. 즉, 코드워드 C0(1)와 C1(3)가 천자되고, QPSK 채널을 효율적으로 사용하기 위해 코드워드 C0(1)와 C1(1) 및 코드워드 C0(3)와 C1(2)가 각각 하나의 QPSK 심볼로 전송된다(C). 결과적으로 3개의 정보비트가 각각 2개의 코드워드로 나뉘어져서 전체 6개의 코드워드가 생성된 후, 천자패턴에 따라 2개의 코드워드가 삭제되어 최종적으로 4개의 코드워드만이 전송되므로 3/4 레이트가 되는 것이다.

전송된 심볼들이 수신단의 널 심볼 삽입블록(30)으로 입력되면, 천자되기 이전의 코드워드 상태로 복원하기 위해 송신단의 3/4 레이트 천자블록(20)에서 삭제된 코드워드 대신에 널(null) 또는 이레이즈드(erasd) 코드워드를 삽입한다(D). 널 심볼 삽입블록(30)은

로부터 출력된 데이터는 1/2 레이트 비터비 디코더(40)로 입력되어 비터비 복호화가 수행된다. 결국, 1/2 레이트 비터비 디코더(40)에서 비터비 복호화가 수행된 후 출력된 데이터는 송신단의 1/2 레이트 길쌈 엔코더(10)로 입력되기 이전에 상태인 원래의 '정보비트(A)'와 같이 복원되는 것이다.

이어서, 코드레이트에 따른 심볼의 천자패턴(symbol puncturing pattern)는 다음 표1에 나타난 바와 같으며, 0은 삭제된 코드워드를 나타낸다. 코드 레이트의 분자는 정보비트의 수에 해당되며, 코드레이트의 분모는 전송되는 코드워드의 수에 해당되는데, 예를 들어 코드레이트가 1/2인 경우에는 1개의 정보비트가 2개의 코드워드로 나뉘어져 전송되고, 코드레이트가 7/8인 경우에는 7개의 정보비트가 8개의 코드워드로 나뉘어져 전송된다. 표1에 나타난 코드레이트중에서 1/2, 2/3, 3/4, 5/6 및 7/8 레이트는 유럽의 디지털 비디오 방송(DVB: Digital Video Broadcasting) 규격에서 사용되는 것이다.

[표1]

코드레이트	심볼 천자 패턴
1/2	R0: 1 R1: 1
2/3	R0: 10 R1: 11
3/4	R0: 101 R1: 110
4/5	R0: 1000 R1: 1111
5/6	R0: 10101 R1: 11010
6/7	R0: 100101 R1: 111010
7/8	R0: 1000101 R1: 1111010
11/12	R0: 10001000001 R1: 11110111110
12/13	R0: 100000001010 R1: 11111110101
15/16	R0: 100110100101101 R1: 111001011010010
16/17	R0: 1010101101111010 R1: 1101010010000101

BEST AVAILABLE COPY

제2도는 종래의 가변 레이트 비터비 복호기에 대한 구성 블록도로서, 종래의 가변 레이트 비터비 복호기는 클럭신호 발생부(100), 메모리 제어부(110), 메모리(120), 역천자부(130) 및 비터비 디코딩부(140)로 구성되어 있다. 여기서, 상기 클럭신호 발생부(100)가 위상 동기 루프(PLL: Phase Locked Loop) 회로로 구현된 종래의 가변 레이트 비터비 복호기로는 퀄콤(Qualcomm)사의 Q1401과 엘에스아이 로직(LSI Logic)사의 L64705를 예로 들 수 있다.

제2도를 참조하여, 종래의 가변 레이트 비터비 복호기의 동작을 살펴보면 다음과 같다.

클럭신호 발생부(100)에 해당하는 위상 동기 루프(PLL) 회로는 QPSK 복조기(도시하지 않음)로부터의 입력클럭(ICLK)에 따라 출력클럭(OCCLK)을 발생하는데, 이때 입력클럭(ICLK)과 출력클럭(OCCLK)이 다른 이유는 입력클럭(ICLK)은 채널을 통해 전송된 코드워드를 위한 클럭이고, 출력클럭(OCCLK)은 송신단에서 부호화되기 이전의 정보비트로 복원하기 위한 클럭이기 때문이다.

메모리 제어부(110)에서는 유효한 데이터임을 알리는 신호(DVALID\_IN)를 입력받으며, QPSK 복조기로부터의 입력클럭(ICLK)에 따라 쓰기신호(write)를 출력하고, 상기 클럭신호 발생부(100)로부터의 출력클럭(OCCLK)에 따라 읽기신호(read)를 출력한다.

메모리(120)에서는 상기 메모리 제어부(11)로부터의 쓰기신호(write)에 따라 데이터(R<sub>0</sub>, R<sub>1</sub>)를 저장하고 상기 메모리 제어부(11)로부터의 읽기신호(read)에 따라 데이터를 일거 출력한다.

역천자부(130)에서는 상기 클럭신호 발생부(100)로부터의 출력클럭(OCLK)에 따라 천자 부호화되어 전송된 데이터를 상기 메모리(120)로부터 입력받아 역천자(de-puncturing)를 수행한다.

비터비 디코딩부(140)에서는 상기 클럭신호 발생부(100)로부터의 출력클럭(OCLK)에 따라 상기 역천자부(130)로부터 역천자된 데이터를 입력받아 비터비 복호화를 수행한다.

상술한 종래의 가변레이트 비터비 디코더는 메모리(120)로 입력되는 데이터와 메모리(120)로부터 출력되는 데이터의 동기를 맞추기 위해 클럭을 발생시키는 클럭신호 발생부(100)가 위상 동기 루프(PLL)로 구현되어 있기 때문에 설계 면적이 커지고 구현 비용이 증가할 뿐만 아니라 아날로그 특성에 의해 영향을 받는다는 문제점이 있다.

### 발명이 이루고자하는 기술적 과제

따라서, 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 송신측에서 길쌈부호화가 수행된 후, 다시 각 코드레이트에 의한 천자패턴에 따라 천자코딩이 수행되어 채널을 통해 전송된 경우, 수신측에서 그 전송된 데이터를 각 코드레이트에 맞게 역천자한 후, 비터비 복호화를 수행함에 있어서, 코드레이트와 샘플링 클럭을 이용하여 발생된 제어신호에 따라 데이터를 역천자하고 비터비 복호화를 수행하도록 되어진 가변 레이트 비터비 디코더를 제공하는데 그 목적이 있다.

상기와 같은 목적을 달성하기 위한 본 발명의 가변 레이트 비터비 복호기는,

코드레이트와 샘플링클럭에 따라 제어신호를 발생하는 제어 신호 발생부와;

유효한 데이터임을 알리는 신호를 입력 받으며, 입력클럭과 샘플링클럭 및 상기 제어신호에 따라 쓰기 신호 및 읽기 신호를 출력하는 메모리 제어부;

상기 메모리 제어부로부터의 쓰기 신호에 따라 데이터를 저장하고 상기 메모리 제어부로부터의 읽기신호에 따라 데이터를 읽어 출력하는 메모리;

샘플링클럭과 상기 제어신호 발생부로부터의 제어 신호에 따라 천자 부호화된 데이터를 상기 메모리로부터 입력받아 역천자를 수행하는 역천자부; 및

샘플링클럭과 상기 제어신호 발생부로부터의 제어 신호에 따라 상기 역천자 부로부터의 역천자된 데이터를 입력받아 비터비 복호화를 수행하는 비터비 디코딩부로 구성된 것을 특징으로 한다.

상기와 같이 구성된 본 발명에 따르면 샘플링 클럭과 코드레이트를 가지고 제어신호를 발생시키는 기능블록을 구비하여 역천자 및 비터비 복호화를 효율적으로 수행함으로써 하드웨어의 면적을 감소시키고, 아날로그의 영향을 제거시킬 뿐만 아니라 구현 비용도 절감시킬 수 있다.

### 발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명의 실시예에 대한 구성을 설명하기로 한다.

제3도는 본 발명에 따른 가변 레이트 비터비 디코더의 구성을 나타낸 블록도로서, 본 발명은 유럽 디지털 비디오 방송(DVB) 규격에 따르는 경우, 지원해야할 코드 레이트가 다섯가지(1/2, 2/3, 3/4, 5/6, 7/8)이므로, 이를 모두 만족시켜줄 수 있도록 설계한 것이다.

본 발명의 가변레이트 비터비 디코더는 제어신호 발생부(200)와; 메모리 제어부(210), 메모리(220), 역천자부(230); 및 비터비 디코딩부(240)로 구성되어 있다.

여기서, 상기 제어신호 발생부(200)는 임계값 설정부(202)와; 카운터(204); 및 인에이블 신호 생성부(206)로 이루어져 있다.

또한, 상기 메모리(220)는 입출력 데이터의 완충을 위해 선입 선출(First in First Out: FIFO) 방식의 램(RAM)으로 구현할 수 있다.

이어서, 상기와 같이 구성되는 본 발명의 실시예에 대한 동작 및 효과를 살펴보면 다음과 같다.

제4도의 (가)는 샘플링 클럭의 파형도를 나타내고, (나)는 각 코드 레이트(2/3, 3/4, 5/6, 7/8)에 따른 클럭 카운트 신호의 파형도를 나타내며, (다)는 각 코드 레이트(2/3, 3/4, 5/6, 7/8)에 따른 인에이블 신호의 파형도를 나타낸 것이다. 제4도에서는 표1에 나타난 여러 가지의 코드레이트중 유럽 디지털 비디오 방송(DVB) 규격에 적용되는 코드레이트에 따른 파형도만을 도시하였다.

본 발명에서는 복호화시 사용할 수 있는 클럭 즉, 입력클럭(ICLK)에 해당하는 심볼 클럭(Symbol clock: ICLK)과 수신단으로 입력된 아날로그 신호를 디지털 신호로 변환하기 위해 사용되는 샘플링 클럭(Sampling clock: 2\*ICLK)이 있는데, 이 샘플링 클럭은 제4도의 (가)에 도시된 바와 같다.

본 발명에서 별도의 회로를 부가하지 않고 사용할 수 있는 가장 높은 주파수의 클럭은 샘플링 클럭이며, 유럽 디지털 비디오 방송(DVB) 규격에 따른 코드레이트중 가장 높은 레이트에 해당하는 7/8 코드레이트의 경우에도 주파수가 샘플링 주파수의 7/8 이 된다는 점을 이용한다. 예를 들면,  $\{(7/8) \times \text{샘플링 주파수}\}$ 에 해당하는 주파수를 새롭게 생성하는 것이 아니라, 이러한 클럭이 요구되는 부분에 샘플링 클럭을 메인 클럭(Main clock)으로 공급하고, 여기에 레이트를 7/8로 만들어주기 위한 인에이블 신호를 생성하는 것이다.

제3도와 제4도를 함께 참조하여 구체적인 동작을 살펴보면, 제어신호 발생부(200)에서는 표1에 나타난 코드레이트에 따라 제어신호(Enable)를 발생한다. 즉 제어신호 발생부(200)의 임계값 설정부(202)에서는 유럽 디지털 비디오 방송(DVB) 규격에 따른 코드레이트 1/2, 2/3, 3/4, 5/6 및 7/8 중 하나의 코드레이트가 입력되면 코드레이트의 분자값을 임계값(threshold value)으로 설정한다. 제어신호 발생부(200)의 카운터(204)에서는 상기 임계값 설정부(202)에서 설정된 임계값에 따라 제4도의 (가)에 도시된 샘플링 클럭( $2 \times \text{ICLK}$ )을 카운팅하여 제4도의 (나)에 도시된 바와 같은 카운팅 신호를 출력한다. 제어신호 발생부(200)의 인에이블 신호 생성부(206)에서는 상기 카운터(204)로부터의 카운팅 신호에 따라 제4도의 (다)에 도시된 바와 같은 인에이블 신호(enable)를 생성한다. 예를 들면, 여러 코드 레이트중 7/8 코드레이트가 임계값 설정부(202)로 입력되면 코드레이트의 분자값인 7이 임계값으로 설정되고, 카운터(204)는 상기 임계값 7에 도달할 때까지 샘플링 클럭을 카운팅하고, 인에이블 신호 생성부(206)에서 7번째 클럭까지는 인에이블 신호를 출력하고 8번째 클럭부터는 디스에이블 신호를 출력한다.

이어서, 메모리 제어부(110)에서는 유효한 데이터임을 알리는 신호(DVALID\_IN)와 상기 제어신호 발생부(200)의 인에이블 신호 생성부(206)로부터의 인에이블 신호를 입력받으며, QPSK 복조기(도시하지 않음)로부터의 입력클럭(ICLK)인 심볼 클럭과 A/D 변환부(도시하지 않음)에서 아날로그 신호를 디지털 신호로 변환하기 위해 사용되는 샘플링 클럭( $2 \times \text{ILOK}$ )에 따라 쓰기신호(write) 및 읽기신호(read)를 출력한다. 이때, 상기 메모리 제어부(210)에서 상기 제어신호 발생부(200)의 인에이블 신호 생성부(206)로부터 인에이블 신호를 입력받는 이유는 상기 메모리 제어부(210)에서 읽기신호(read) 즉, 다음단의 메모리(220)에서 출력될 데이터의 어드레스를 발생시켜 주는데, 이러한 읽기 어드레스(read address)는 역 천자부(230)과 같은 레이트로 동작해야 하기 때문이다.

메모리(230)에서는 상기 메모리 제어부(210)로부터의 쓰기신호(write)에 따라 데이터(R0,R1)를 저장하고 상기 메모리 제어부(210)로부터의 읽기신호(read)에 따라 데이터를 출력한다.

역천자부(230)에서는 샘플링 클럭( $2 \times \text{ILOK}$ )과 상기 제어신호 발생부(200)의 인에이블 신호 생성부(206)로부터의 인에이블 신호(Enable)에 따라 천자 부호화된 데이터를 상기 메모리(220)로부터 입력받아 역천자를 수행한다.

비터비 디코딩부(240)에서는 샘플링 클럭( $2 \times \text{ILOK}$ )과 상기 제어신호 발생부(200)의 인에이블 신호 생성부(206)로부터의 인에이블 신호(Enable)에 따라 상기 역천자부(230)로부터의 역천자된 데이터를 입력받아 비터비 복호화를 수행한다.

따라서, 본 발명의 인에이블 신호를 입력받는 회로들은 종래의 위상 동기 루프(PLL)에서 생성했던 주파수인  $\{\text{코드레이트} \times \text{샘플링 주파수}\}$ 와 동일한 주파수를 얻게 되는 것이다.

발명의 효과

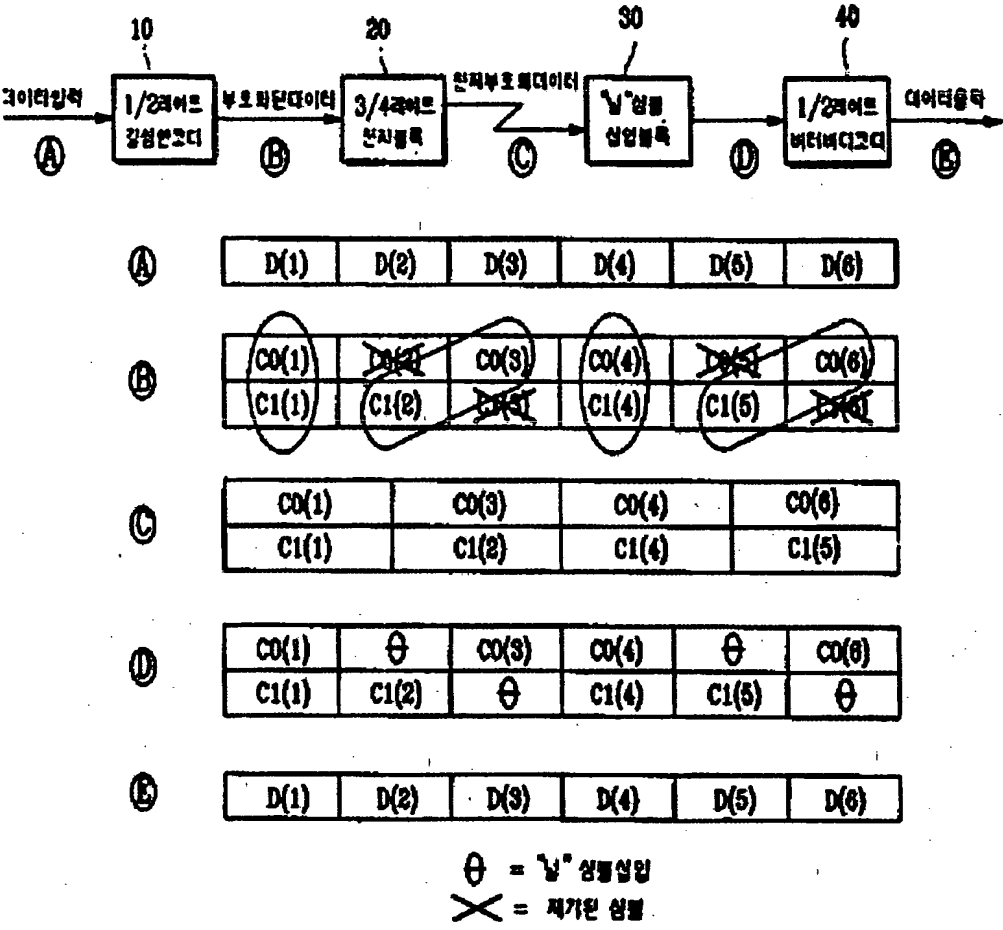
이상에서 서술한 바와 같이 본 발명에 따르면 채널을 통해 입력된 데이터를 역천자한 후 비터비 복호화를 수행하는데 있어서 샘플링 클럭과 코드레이트를 가지고 생성한 인에이블 신호를 이용하여 각 코드 레이트에 따른 주파수를 생성함으로써 위상동기 루프(PLL)를 이용할 필요가 없어지므로 하드웨어의 면적을 감소시키고 구현 비용도 절감시킬 수 있을 뿐만 아니라 위상 동기 루프로 인해 발생하는 아날로그 특성의 영향을 제거시킬 수 있다는데 그 효과가 있다.

(57)청구의 범위

청구항1  
코드레이트가 알려지면 코드레이트의 분자값을 임계값으로 설정하는 임계값 설정부(202)와; 상기 임계값 설정부에서 설정된 임계값에 따라 샘플링 클럭을 카운팅하여 카운팅 신호를 출력하는 카운터(204); 상기 카운터로부터의 카운팅 신호에 따라 인에이블 신호를 생성하는 인에이블신호 생성부(206); 유효한 데이터임을 알리는 신호를 입력받으며, 입력클럭과 샘플링 클럭 및 상기 인에이블신호에 따라 쓰기신호 및 읽기신호를 출력하는 메모리제어부(210); 상기 메모리제어부로부터 쓰기신호에 따라 데이터를 저장하고, 상기 메모리제어부로부터의 읽기신호에 따라 데이터를 출력하는 메모리(22); 샘플링클럭과 상기 인에이블신호에 따라 천자 부호화된 데이터를 상기 메모리로부터 입력받아 역천자를 수행하는 역천자부(230); 및 샘플링클럭과 상기 인에이블신호에 따라 상기 역천자로부터의 역천자된 데이터를 입력받아 비터비 복호화된 수행하는 비터비 디코딩부(240)로 구성된 가변레이트 비터비 디코더.

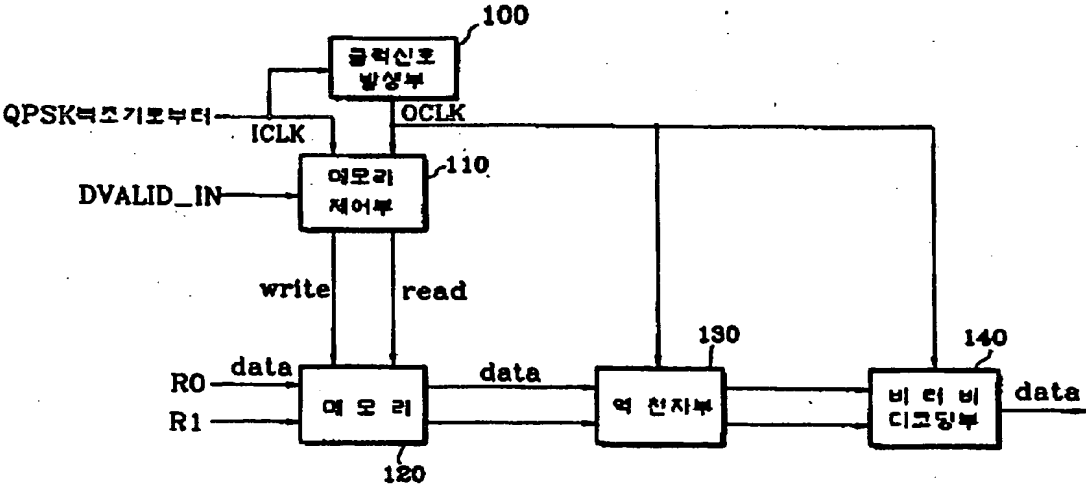
청구항2  
제1항에 있어서, 상기 메모리가 입출력 데이터의 완충을 위해 선입 선출 방식의 램으로 구현된 것을 특징으로 하는 가변레이트 비터비 복호기.

도면  
도면1

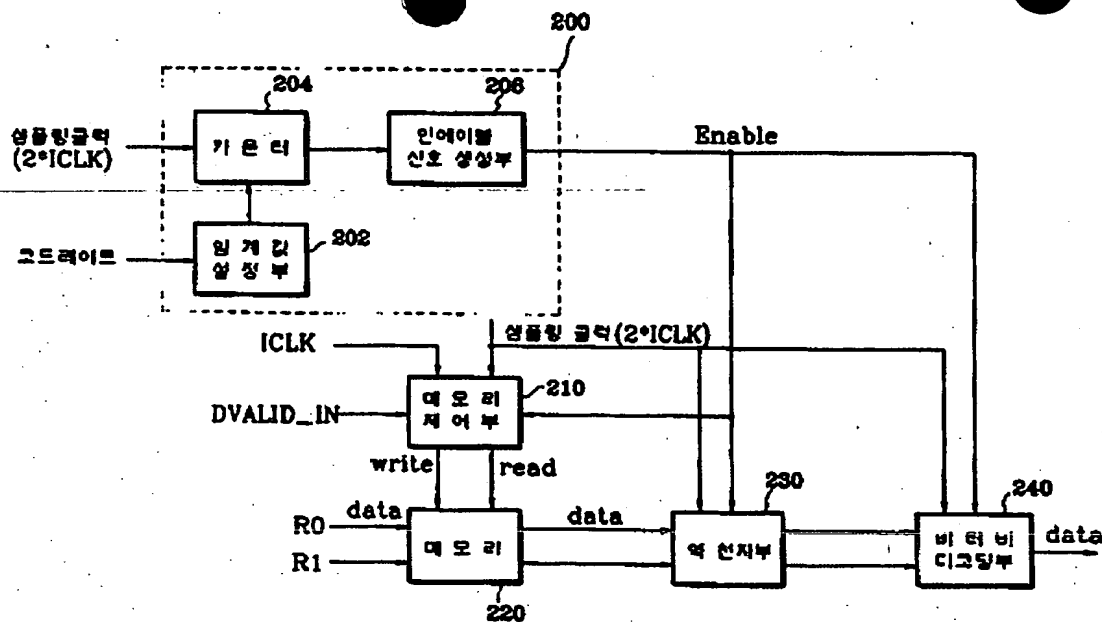


BEST AVAILABLE COPY

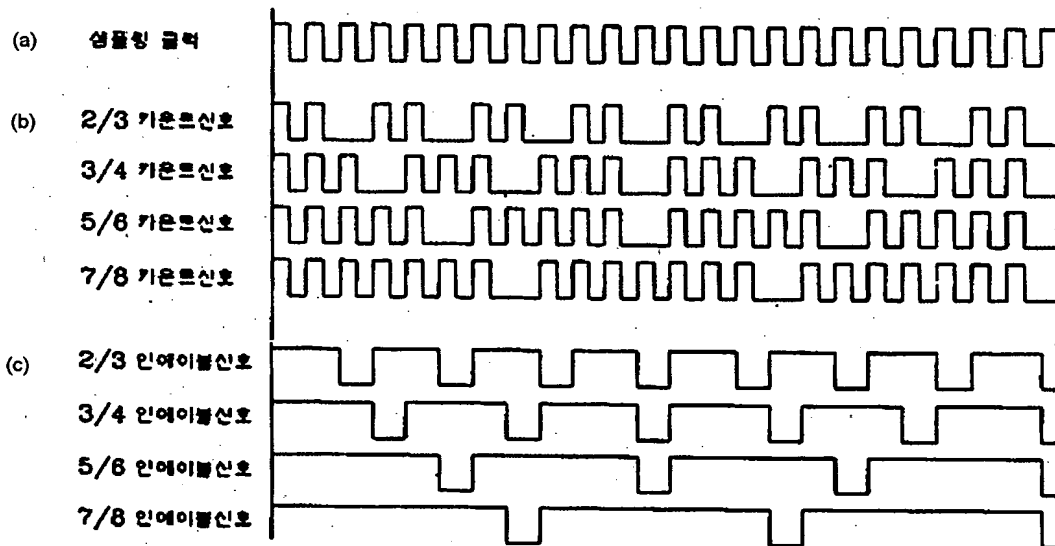
도면2



도면3



도면4



BEST AVAILABLE COPY